

α

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-243577

(43)Date of publication of application : 21.09.1993

(51)Int.Cl.

H01L 29/784  
G02F 1/136

(21)Application number : 04-039181 (71)Applicant : SEIKO EPSON CORP

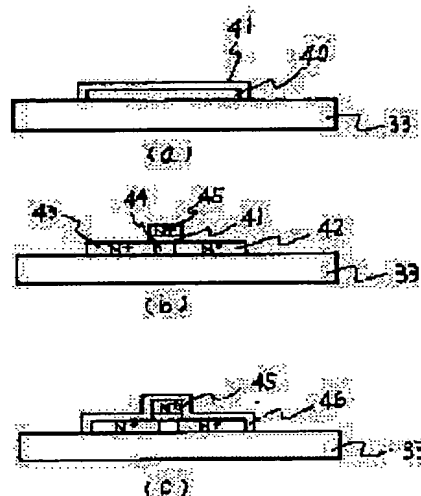
(22)Date of filing : 26.02.1992 (72)Inventor : MOROZUMI SHINJI

## (54) MANUFACTURE OF THIN FILM TRANSISTOR

### (57)Abstract:

**PURPOSE:** To realize a thin film transistor having excellent characteristics by disposing an oxide film formed by a plasma on a silicon thin film layer.

**CONSTITUTION:** When a silicon thin film is formed on a substrate 33 by a plasma CVD method, a reduced pressure CVD method, etc., photoetched in a necessary shape and surface-oxidized in an O<sub>2</sub> plasma atmosphere, an oxide film 41 to become a gate insulating film is formed on the thin film 40. Then, a second silicon thin film 45 is deposited similarly to the first layer, photoetched, the film 41 is then etched with the film 45 as a mask to form a gate insulating film 41, and simultaneously window-opened and diffused by ion implanting. Then, a source 42 and a drain 43 are formed. Again, when it is plasma-processed in an O<sub>2</sub> atmosphere to form a plasma oxide film 46 on its surface and annealed at 400-600° C, mobility is improved on the oxide film of the CVD method as a gate insulating film of a transistor, a dielectric film of a capacitor, thereby improving reliability.



## LEGAL STATUS

[Date of request for examination] 26.02.1992

[Date of sending the examiner's decision of rejection] 25.06.1996

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration] withdrawal

[Date of final disposal for application] 03.10.1996

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-243577

(43)公開日 平成 5 年(1993) 9 月21日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/784				
G 0 2 F 1/136	5 0 0	9018-2K	H 0 1 L 29/ 78	3 1 1 N
		9056-4M		

審査請求 有 請求項の数1(全 9 頁)

(21)出願番号 特願平4-39181  
(62)分割の表示 特願平4-11858の分割  
(22)出願日 平成 4 年(1992) 1 月27日

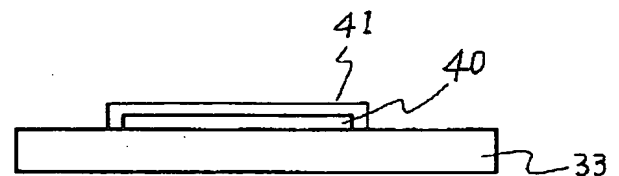
(71)出願人 000002369  
セイコーエプソン株式会社  
東京都新宿区西新宿 2 丁目 4 番 1 号  
(72)発明者 両角 伸治  
長野県諏訪市大和 3 丁目 3 番 5 号株式会社  
諏訪精工舎内  
(74)代理人 弁理士 鈴木 喜三郎 (外 1 名)

(54)【発明の名称】 薄膜トランジスタの製造方法

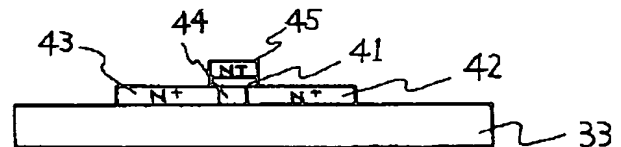
(57)【要約】

【目的】 本発明は、薄膜トランジスタのシリコン薄膜層上に酸素プラズマ処理により形成された酸化膜を配置することにより特性の優れたトランジスタを提供することを目的とする。

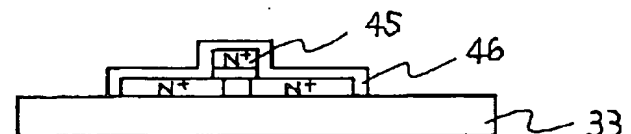
【構成】 薄膜トランジスタのシリコン膜上に酸素プラズマ処理により形成された酸化膜を配置し、この酸化膜を清浄な MOS 界面を得るために、ゲート絶縁膜または高耐圧の層間絶縁膜として用いる。



(a)



(b)



(c)

## 【特許請求の範囲】

【請求項1】 基板上に形成された薄膜トランジスタのシリコン薄膜層上には、酸素プラズマにより形成された酸化膜が配置されることを特徴とする薄膜トランジスタの製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は薄膜トランジスタの製造方法に関するものである。

## 【0002】

【従来の技術】 従来アクティブマトリックスを用いたディスプレイパネルはダイナミック方式に比しそのマトリックスサイズを非常に大きくでき、大型かつドット数の大きなパネルを実現可能な方式として注目を浴びている。特に液晶のような受光形素子ではダイナミック方式での駆動デューティは限界がありテレビ表示等にはアクティブマトリックスの応用が考えられている。

【0003】 図1は、従来のアクティブマトリックスの1セルを示している。アドレス線Xがトランジスタ2のゲートに入力されており、トランジスタをONさせてデータ線Yの信号を保持用コンデンサ3に電荷として蓄積させる。再びデータを書き込むまで、このコンデンサ3により保持され、同時に液晶4を駆動する。ここでVCは共通電極信号である。液晶のリークは非常に少ないので、短時間の電荷の保持には十分である。ここのトランジスタとコンデンサ3の製造は通常のICのプロセスと全く同じである。

【0004】 図2は図1のセルをシリコンゲートプロセスにより作成した例である。単結晶シリコンウエハ上にトランジスタ10とコンデンサ11が構成される。アドレス線Xとコンデンサの上電極11は多結晶シリコン（ポリシリコン）で、又データ線Yと液晶駆動電極13はA1でできており、コンタクトホール7、8、9により、基板A1、ポリシリコンとA1が夫々接続される。

## 【0005】

【発明が解決しようとする課題】 通常のICプロセスに従ったマトリックス基板は次の大きな欠点をもつ。

【0006】 1つはマトリックス基板の製造プロセスがICと同一のため、プロセスが複雑であり工程コストが高いと同時に基板シリコンとの接合リークによる歩留低下が発生し、総コストが高い。特にシリコン基板とソース・ドレインとなる拡散層との接合部には、単結晶中の結晶欠陥にかなり左右され通常のセルではこのリーク電流を100pA以下にしなければならず、この構造で数万個のセル全てのリークを押えることはむずかしい。ここで発生する接合リークはコンデンサ3に蓄積された電荷を放電し、コントラストを低下させる。

【0007】 2つにはA1電極のすきまからシリコン基板に入射した光は、電子-正孔対を生成し拡散して光電流を生じてコンデンサ3の電荷を放電してしまいコント

ラストが低下する。

## 【0008】

【課題を解決するための手段】 本発明は、薄膜トランジスタの特性を向上するために、基板上に形成した薄膜トランジスタのシリコン薄膜層上にプラズマにより形成された酸化膜が配置されることを特徴とする。

## 【0009】

【実施例】 本発明の構成はガラス、石英、又はシリコンウエハ上にシリコン薄膜をチャンネルとする薄膜トランジスタを構成するものであって以下具体例にそって説明する。

【0010】（実施例1）図3は、本発明に用いるマトリックスセルを示すものであり、図1の従来との違いは、容量18のGND配線を新たに設けること、又は後述の如く電荷保持用の容量18とGND配線を省略したことにより、基本的なデータの書込、保持は同じである。この場合のGND電位は一定のバイアス電圧を意味しバイアスレベル、又は信号レベルは問わない。又表示データの入力をデータ線Yがサンプル・ホールドする容量として、データ線YとGNDラインの間の容量21、又はアドレス線Xとの間の容量22を利用する。

【0011】 図4（a）のセルの平面図、（b）のA-Bでの断面図をもとにセルの構造例を示す。透明基板33上にトランジスタのソース・ドレイン・チャンネルを形成する第1層目のシリコン薄膜28とトランジスタのゲートとなるゲート線をなす第2層目のシリコン薄膜もしくははそれと同等の配線層26とGNDライン27、更に透明低抵抗材料、例えばSnO<sub>2</sub>の如くネサ膜、厚さ数100Å以下の金層等よりなるデータ線25と液晶駆動電極31、及び層間の導通をとるコンタクトホール29が形成されている。又GNDライン27と液晶駆動電極の重なった部分が電荷保持用コンデンサ（図3-18）となる。トランジスタのソース・ドレイン34、35にはN<sup>+</sup>拡散（PチャンネルならP<sup>+</sup>）がなされゲート電極38に下にはチャンネル30がゲート絶縁膜36を介して存在し、又ゲート電極周囲には更に酸化膜等の絶縁膜37が形成されている。

【0012】（実施例2）図5に図4に示すアクティブマトリックスセルの製造プロセスを示す。製造プロセスは、基本的には低温プロセスと高温プロセスの二種類あり、夫々に特徴がある。低温プロセスでは透明基板としてガラスもしくはパイレックスやコーニングのような高融点ガラスを用い、600℃以下の処理工程であって、基板自体が安価であることが特徴である。

【0013】 低温プロセスでは、まず基板33上にシリコン薄膜をプラズマCVD法や減圧CVD法等のCVA法、スパッタ法等により形成し、必要な形状にフォトリソエッチングによりする。その後O<sub>2</sub>プラズマ雰囲気中で表面酸化する。また、CVD法で同等の絶縁膜をデポジットしてもよい。その結果シリコン薄膜40上にゲート絶

縁膜となる酸化膜41が形成される(図5(a))。その後第2層目のシリコン薄膜を第1層目のシリコン薄膜と同様の方法でデポジットしフォトリソエッチング後、更に第2層目のシリコン薄膜45をマスクにして酸化膜41をエッチングして、ゲート絶縁膜41を形成すると同時に拡散の窓開けを行ない、イオン打込みにより拡散を行なうとソース、ドレイン42、43が形成される(図5(b))。

【0014】更にこの後に再度O<sub>2</sub>雰囲気中でプラズマ処理し、表面にプラズマ酸化膜46を形成し、400℃～600℃でアニールを行なう(図5(c))。

【0015】このプロセスの特徴はシリコン薄膜をプラズマ処理による直接酸化を行なうことにあり、CVD法の酸化膜に対して、トランジスタのゲート絶縁膜、コンデンサ用の誘電体膜としては、移動度が改善され又信頼性が向上する。

【0016】(実施例3)高温プロセスは石英等の600℃以上の融点を有する透明基板を用い、製造プロセスは600℃を越える工程があり、このプロセスの特徴は高温アニール等の処理ができるので、トランジスタの移動度や信頼性の改善ができる。トランジスタの構造は低温プロセスと同じになるので再び図5を用いて説明する。

【0017】(a)まず、透明基板33上に減圧もしくは常圧CVD法等により第1層目のシリコン薄膜を形成し、パターニングして島部40を形成後、900℃～1100℃の間で熱酸化して酸化膜41を形成する。

【0018】(b)その後、第2層目のシリコン薄膜を第1層目と同様にデポジットして、ゲート電極45をパターニングして、更にこれをマスクに絶縁膜41をエッチングして、N<sup>+</sup>又はP<sup>+</sup>不純物をプレデポジション又は絶縁膜41はエッチングしないで不純物をイオン打込みを行ない、ソース・ドレイン42、43を形成する。

【0019】(c)その後、保持用コンデンサの誘電体膜となる熱酸化膜46をゲート絶縁膜と同様の方法で形成する。

【0020】図5(c)以降の工程は低温でも高温プロセスでもほぼ共通である。配線部と第1層目、第2層目とのコンタクトをとるためのコンタクトホールを開けて配線と透明駆動電極を兼ねた材料、ネサ膜、厚さ数100Å以下の金属等をスパッタ又は蒸着によりつけて、フォトリソエッチングする。又ネサ膜等シリコン薄膜に直接コンタクトがむずかしい場合はAu、Ni-Cr等のコンタクト専用材料をコンタクト部に付加する。

【0021】(実施例4)図4に示した構成例の特徴は、まず、トランジスタのゲート絶縁膜は第1層目のシリコン薄膜を酸化又はシリコン薄膜上に形成することにより、ゲートセルフアラインになり、単結晶のバルクシリコン素子に対して移動度の低下と、スピードの劣化分とを寄生容量をセルフアライン化して低減することによ

り、スピードの劣化を防止することができることである。

【0022】もう1つは、電荷保持用の容量(図3-18)データ線のサンプルホールド用の容量(図3-21, 22)を形成する容量の誘電体膜として、第2層目のシリコン薄膜の酸化膜又は、薄膜上の絶縁膜を用いることにある。

【0023】従来のバルクシリコンタイプ(図2)では、トランジスタのゲート絶縁膜及び電荷保持用の容量は、全てバルクシリコンの熱酸化膜を用いていたが、不純物のドーピングが図5(b)に示すゲートセルフアライン方式の場合は、容量の一電極をなす第2層目のシリコン薄膜の下は、高濃度不純物が入らず、このままでは容量として不安定となり使用がむずかしいので、使用するにはバルクシリコンの如く、容量の下電極のみに高濃度不純物をドーピングする余分な工程が必要になる。従って図4の如く、保持用の容量を形成する誘電体膜を第2層目のシリコン薄膜上に形成することにより、本発明の目的である工程の簡略化及び、容量の安定化が可能となる。

【0024】(実施例5)本発明の方式により形成されるトランジスタはバルクシリコン上に形成されたトランジスタに比べ、移動度が低く、又OFFリークも多いので使用上支障がないような工夫を要する。

【0025】図6の(A)は、第1層目のシリコン薄膜を、デポジション温度を変えて減圧CVD装置で形成し、高温プロセスにて形成したトランジスタの10Vにおける移動度を表わしている。デポジション温度が600℃以下になると移動度が急激に改善されることを実験により見出した。従って移動度を改善し応答を確実にするためには減圧CVD装置により600℃以下で第1層目のシリコン薄膜を形成するとよい。

【0026】図7は、トランジスタの10VにおけるOFFリーク電流I<sub>L</sub>を第1層目のシリコン薄膜の膜厚を変えてプロットしたものである。発明者は実験により、3700Å以下の膜厚で、使用に問題ないリーク電流500pA以下になることがわかった。

【0027】(実施例6)高温プロセスのみでなく、特に低温プロセスでは移動度の低下が激しい。このためのもう1つの改善手段としては、レーザや電子ビームにより基板に影響を与えないよう局部的に第1層目のシリコン薄膜を高温アニールすることが考えられる。

【0028】図6の(B)は、前述の(A)と同様に形成したシリコン薄膜に、更にパルス当り0.12mJのQスイッチによるレーザビームを照射して得られたトランジスタの移動度であり、更に改善されていることがわかる。又500℃～540℃で高融点ガラスにデポジションした後に同様の条件でレーザアニールして得られた低温プロセスによるトランジスタの移動度は、図6の(B)のカーブとほぼ一致した。このことから、レーザビーム、電子ビーム等による局部アニールは、低温プロ

セスでも高温プロセスでも有効であることがわかる。

【0029】(実施例7) 図8にセルの他の構造例を示す。(a)は平面図であってアドレス線50はデータ線51、駆動電極及びコンデンサの電極52をソース・ドレインとするトランジスタのチャネル54のゲートになっている。又GNDライン53はアドレス線50と同時に構成され電極52との間に容量を構成している。

【0030】図8(b)は、(a)のAB線での断面を示すものであり、製造プロセスの一例をあげて高温プロセスとして説明すると、石英等の高融点ガラス基板57にシリコン薄膜としてポリシリコンを約3000Å成長させる。但し場合によっては密着性をよくするため、薄いSiO<sub>2</sub>をあらかじめ形成することもある。更にフォトリソエッチングによりゲート50とコンデンサ電極53を形成した後に熱酸化により約1500ÅのSiO<sub>2</sub>膜55をゲート絶縁膜及びコンデンサの誘電体膜として成長させる。その後2層目のポリシリコンをつけてフォトリソエッチングによりパターンを形成後レジストマスクによりチャネル部54以外にPイオンを打ち込んでソースドレイン電極及びデータ線の配線部、コンデンサの電極を兼ねた液晶の駆動電極を形成する。

【0031】このままでトランジスタの性能(シキイ値、コンダクタンス)が不十分であるので、特にチャネル部54に局部的、又は基板全体を均一に、レーザーを照射しポリシリコンを短時間のうちに溶接、凝固させてグレインを成長することによって、性能の改良を行なう。これはいわゆるレーザーアニールと言われているものである。

【0032】(実施例8) 図9は、本発明の他の例として通常のガラス基板上にセルを構成した低温プロセスによる断面を示す。ガラス基板70上にスパッタ又はプラズマCVD法等の低温での膜生成法によりシリコン膜を作成し、全面にPイオン又はBイオンを打込む。次にフォトリソエッチングによりゲート73とコンデンサ電極72を形成する。更に絶縁膜74を形成する。これもやはり低温成長によるSiO<sub>2</sub>等を用いる。更にトランジスタのソースドレイン、コンデンサと駆動電極を兼ねるための2層目のシリコン膜をやはり低温で形成する。このポリシリコンは全くドーピングしないか、又はシキイ値をエンハンスメントにするだけに十分な量のBイオンを打込む。その後レーザービームを局部的又は全体に照射しアニールをする。

【0033】レーザービームの一部は、1層目のシリコンに吸収されるが、ガラス基板70は透過する。従って1層目のシリコン中のイオン打込みされた不純物の活性化、2層目のポリシリコンのグレインの成長(特にチャネル部78)が行なわれるべく適当なビームリエネルギー適当な時間(パルスレーザーであればパルス間隔、CWレーザーでは走査スピードに依存)で処理とすると、ガラス基板には影響が殆んどない範囲でアニールが可能であ

る。この方式の特徴はレーザーアニールにより、従来の熱アニールに対しガラス基板に与える影響を非常に少なくできるのでコストの安いガラスを用いることができること、レーザーのアニールは不純物の活性化と共に、チャネル部のシリコン膜のグレインを成長させて、トランジスタの特性(特に移動度)を改良することが同時にできることにある。

【0034】その後A1をつけてフォトリソエッチングしてソースドレイン電極76、77を形成する。A1とシリコンはこのままではコンタクトがとれにくいのでこの後多少熱処理をするか、弱いレーザービームを照射すればよい。

【0035】(実施例9) 図8に示した構造は、勿論低温プロセスでも実現可能である。この構造の特徴は、図4とは逆にトランジスタのゲートを第1層目のシリコン薄膜、チャネルを第2層目のシリコン薄膜を用いていることにあり、この結果両方のシリコン薄膜に任意に高濃度拡散が可能となり、第1層目のシリコン薄膜を酸化して得られるゲート酸化膜又は第1層目のシリコン膜上のゲート絶縁膜を、電荷保持用の容量を形成する誘電体膜が使用でき、酸化膜を形成する工程が一工程で良いことである。

【0036】もう一つの特徴は、図4の如くに配線材料を新たに設けなくても、第1層目のシリコン膜がアドレス線とGNDライン、第2層目のシリコン膜がデータ線配線となり、図4の構成例に対し配線材料をデポジションし、フォトリソエッチングする工程が省略でき、更に工程が簡単になる。又この方式は、液晶の透明駆動電極としてシリコン膜を用いるもので、シリコン膜も3000Å以下になると十分透明に近いことから、効果が大きい。

【0037】(実施例10) 図10は本発明のマトリックス基板を用いた液晶ディスプレイ装置の簡単な断面を示す。透明駆動電極67をのせた透明基板65とネサ膜よりなる共通電極69をのせたガラス66に液晶68をはさむ。更に偏光板62、63でサンドイッチした後下側に反射板64をつける。こうすると上から入射した光は電極67をほとんど経過し反射板64で反射し、人体の目に感知される。

【0038】この方式は通常のFEツイスト・ネマティック(TN)方式タイプの液晶が使えるので、コントラストが高く、同時に視覚も広い。図4、図8、図9で示した具体例は透明基板上に透明な液晶駆動電極を用いるが、この方式は図2に示す従来のバルクシリコンタイプでは、基板の不透明性により液晶の中で最もコントラストの高いFEタイプ(TN方式)の液晶が使えない重大な欠点があったが、本発明の具体例の方式によればバルクシリコンタイプよりコントラストが飛躍的に向上するという大きな利点がある。もっとも本発明の構造例において、不透明基板又は不透明駆動電極を用いても、従来のバルクシリコンで使用されているG-Hタイプ、DS

Mタイプの液晶を使えばコントラストの向上は余りないが、工程の簡略化、工程歩留りの向上、光入射によるリークに起因する表示像の消滅を防ぐという目的は果たせる。

【0039】本発明の如くガラスや石英等の基板を用いると、従来のバルクシリコンを液晶の片側電極としていたパネルの構造に対し、パネルの組立てが容易になる。従来は、図10において透明基板65の代りにシリコンウエハを用いていた。シリコンウエハは単結晶であるので、組立て時の圧力に対してへき開面にそって簡単に割れてしまう。又シリコンウエハは熱工程を通すとソリが大きくなり、液晶体68の厚みが $5\mu\text{m}\sim 15\mu\text{m}$ に対し、ソリは $10\mu\text{m}$ 以上になることが多く、液晶体の厚みを一定にするのは組立てがむずかしくなる。

【0040】又液晶体をシールする際高温がかかるが、上のガラス66と熱膨張率が異なるので、シールが完全にいかない。一方、下電極の基板として本発明の如くガラス、もしくはガラスに近いものであるとこれらの問題はことごとく解消し、通常の液晶パネルと同様、組立てはスムーズに歩留りよく製造できる。

【0041】本発明におけるデータ保持容量はある一定の期間そのセル部分の表示データを保持するのに用いられ、例えばテレビ画像の場合約16msecである。シリコン薄膜トランジスタのリーク電流が10Vで100pA以下ならば、この保持用コンデンサの容量は、0.5PF $\sim$ 1PF必要となる。

【0042】液晶体の比誘電率の高いもの特に10以上のもので、液晶体の厚みを $10\mu\text{m}$ 以下にすると、液晶体を誘電体とする容量が0.5PF以上となり、電荷保持用コンデンサがいらなくなる。すると図3の上ではGNDラインと容量18を省略でき、実効的な液晶駆動面積が増加し、コントラストが改善できると共に、余分な素子がなくなり歩留り向上につながる。この時データ線Yのサンプルホールド容量はデータ線とアドレス線の交叉する部分の寄生容量22が主となる。

【0043】(実施例11)本発明により構成されるトランジスタは、アクティブマトリックス用の外部駆動回路、即ちシフトレジスタやサンプルホールド回路を同一基板内に作り込むことを可能にする。

【0044】図11は、本発明で用いるゲート線側の駆動回路の一例である。シフトレジスタセル80は4つのトランジスタ81 $\sim$ 84と1つのブートストラップ容量85より構成される。クロックは $\phi_1$ と $\phi_2$ の相でありスタートパルスSP入力により"1"電位が順次クロックに同期して転送してゆく。各シフトレジスタの出力 $D_1\sim D_m$ がゲート線に入力されて、この結果図12に示す如く、順次各ゲート線を選択してゆく。シフトレジスタ入力には入力トランスファゲートトランジスタ81を用いて、 $T_1\sim T_N$ に一旦蓄えてからブートストラップ容量により、 $D_1\sim D_m$ に"1"を書き込む。もしこの

トランスファゲートを用いないと、 $D_1$ と $T_2$ と $T_3$ ……と短絡され、ブートストラップ容量をゲート線容量CGiよりずっと大きくする必要があり、パターンが大きくなって、歩留りを低下させる。又 $D_1\sim D_m$ に書き込まれた"1"を"0"に放電するためにはトランジスタ84に $T_3$ を接続するのみでよいが、このシフトレジスタが低周波で動作する場合、わずかのリークに対しても動作不良となるので、歩留りを向上させ、動作を安定化させるために電位固定トランジスタ83を追加して、クロックの半周期毎に"0"レベルにリフレッシュしてやる。

【0045】(実施例12)図13は、本発明によるデータ線側の駆動回路の一例である。シフトレジスタセル86はブートストラップ容量88と動作に必要なトランジスタ89、91と後述するシフトレジスタ選択のためのリセットトランジスタ90により構成され、初段へは入力ゲート87を介してスタートパルスSPを印加する。又各シフトレジスタ出力 $S_1\sim S_m$ はサンプルホールドトランジスタ $H_1\sim H_m$ に入力され、走査信号に同期してビデオ入力V、S(映像信号又はデータ書き込み信号)をデータ線に寄生する容量 $CD_1\sim CD_m$ にサンプルホールドさせる。

【0046】データ線側駆動回路は一走査線内で全ての処理を行うため高速であり、リーク電流の考慮は余りしなくてよいが、逆に高速動作を確保することと、高速のために増大する消費電力を抑えることを考慮する必要がある。

【0047】このシフトレジスタはmビット中1ビットしか"1"になっていないのでクロック以外での電力消費は少ない。又サンプル・ホールドトランジスタ $H_1\sim H_m$ はかなりの高速スイッチングが要求されるが、そのゲート入力にはブートストラップ動作により、図14に示す如くクロック信号の2倍近い振幅で印加されるので、非常に高速でスイッチングできるという利点がある。

【0048】(実施例13)図15はこれらを実際にアクティブ・マトリックス基板に配置した場合を示している。データ側シフトレジスタ90、91及び最終段の帰還信号を形成するダミーセル94、95とサンプルホールド用トランジスタ $H_1\sim H_m$ があり上下対照に配列される。又ゲート側シフトレジスタ92、93とダミー96、97は左右対照に配列される。本来周辺回路は両側対照でなく、片方のみでよいが、歩留を考慮してシフトレジスタ列を複数用意する。当然4列でも、8列でもいいが、ここでは2列の例を示す。

【0049】図15に示した駆動回路を本発明の如くシリコン薄膜を用いたトランジスタで形成することにより次の利点がある。まず特にデータ線側はクロック周波数が数MHzと高いのでシフトレジスタの内部消費電力よりクロックラインの寄生容量で消費する分が大きい。特

にバルクシリコンではクロックラインの配線容量と、基板との接合容量が100PF以上もありクロックのスピードを低下させ、10mA以上の電力消費となる。ところが本発明の如く絶縁性基板上ではこの寄生容量が数PFであり、消費電力を極端に低減できると共に、スピードも向上する。次にバルクシリコンでは例えば図11のトランジスタ82のソース電位が上がるとバックゲート効果によりシキイ値が上昇してしまう。この結果必要な信号電圧を得るためにはトランジスタ82のゲートT<sub>1</sub>の電圧を高くする必要があり、結局クロックの信号レベルを大きくするか、ブートストラップ容量85の面積をかなり大きくする。ところが、本発明の構造ではトランジスタのサブストレートがフローティングとなり、従ってバックゲート効果はなく従って、クロック振幅は小さくてよいので消費電力が下がる又ブートストラップ容量は小さくてよい、小面積で実現できる。本発明の周辺駆動回路におけるブートストラップ容量は電荷保持用のコンデンサと異なり、基本的にはトランジスタを形成するゲートとチャネル間の絶縁膜を用いる。これはブートストラップ容量は上電極であるゲート電圧により電極間容量が可変である必要があり、そのため容量の下電極は低濃度、又はノンドープのシリコン膜とする。

【0050】このように絶縁性基板上にシリコン薄膜を用いてアクティブマトリックスのセル部と、周辺駆動不を同時に形成すると結線が楽になり、全体のコストが下げられる。また周辺駆動回路は図11、図13の如く非反転型のレインショレスシュフトレジスタで構成したことと、寄生容量がずっと低くなること等を考慮すると、全体の消費電力の低減化が可能であり、同時に歩留り向上、コストの低減化が実現できる。

【0051】

【発明の効果】本発明は以上述べたように、基板上に形成された薄膜トランジスタのシリコン薄膜層上に、酸素プラズマにより形成された酸化膜が配置されるので次の如く顕著な効果を有するものである。

【0052】a) 酸素プラズマによる酸化膜をゲート絶縁膜とすると、MOS界面がシリコン薄膜の内側に形成されたために、清浄なゲート絶縁膜とチャネル領域との界面が得られ、界面でのトラップ密度が小さく薄膜トランジスタのキャリアの移動度が向上する。また、トラップを介してのリーク電流も小さくすることが可能であり、良好なオン・オフ比を有する薄膜トランジスタが得られる。

【0053】b) 酸素プラズマによる酸化膜を層間絶縁膜とすると完全に酸化されたSiO<sub>2</sub>膜が得られ、かつ界面付近の不純物イオンの酸化を促進するので絶縁耐圧の高い良質な酸化膜となるため、データ線とアドレス線

のショート等を大幅に削減できる。

【図面の簡単な説明】

【図1】従来のアクティブマトリックスに用いたセルの回路図。

【図2】バルクシリコンを用いたセルの平面図。

【図3】本発明のセル図。

【図4】(a) (b) はその実現例の平面図、と断面図。

【図5】(a) (b) (c) はその製造工程図。

【図6】シリコン薄膜の特性を示す図。

【図7】シリコン薄膜の特性を示す図。

【図8】(a) (b) は本発明の他の実施例を示す図。

【図9】本発明の他の実施例を示す図。

【図10】本発明のアクティブマトリックスパネルに組立てた際の断面図。

【図11】本発明に用いる周辺駆動回路の1例を示す図。

【図12】本発明の周辺駆動回路の動作波形図。

【図13】本発明に用いる周辺駆動回路の1例を示す図。

【図14】本発明の周辺駆動回路の動作波形図。

【図15】本発明に用いる周辺駆動回路の1例を示す図。

【符号の説明】

7、8、9 コンタクトホール

10 ポリシリコンゲート

11 コンデンサ3のポリシリコンの上部電極

13 A<sub>i</sub>による駆動電極

25、31 透明低抵抗体

26、45、50、52、75 2層目のシリコン薄膜

28、40、51、53、72、73 1層目のシリコン薄膜

30、44、54、78 チャンネル

33、57、70 基板

36、41、55、74、ゲート電極

37、46 容量用絶縁膜

62、63 偏光板

64 反射板

65、66 透明基板

67 ポリシリコン駆動電極

68 液晶体

69 ネサ膜

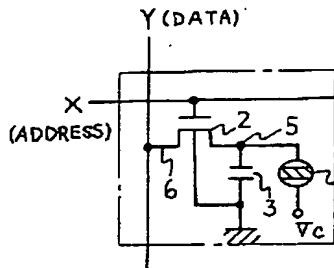
76、77 A<sub>1</sub>

85、88 ブートストラップ容量

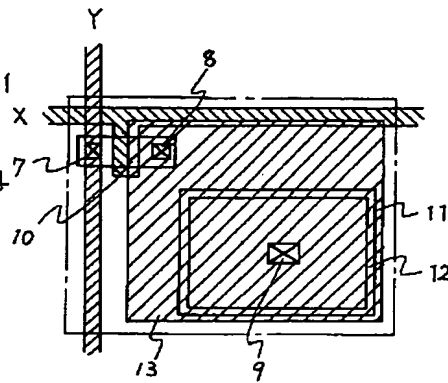
89 アクティブマトリックス

90、91、92、93 シフトレジスタ

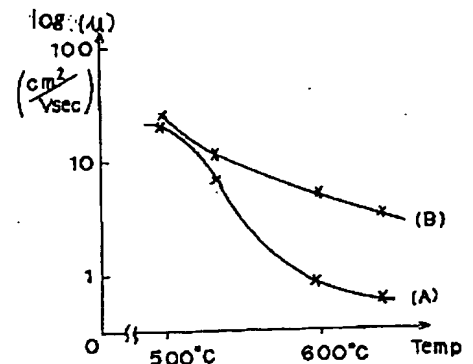
【図1】



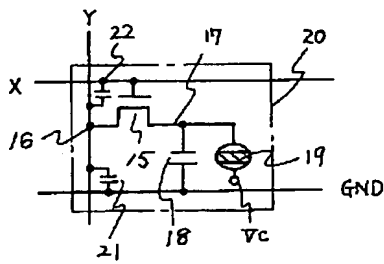
【図2】



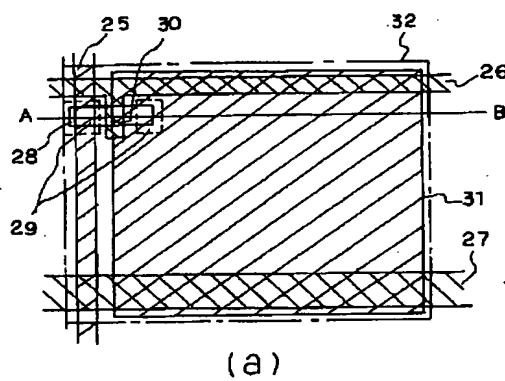
【図6】



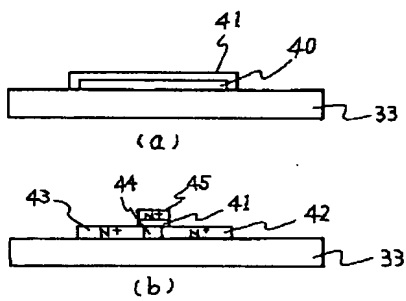
【図3】



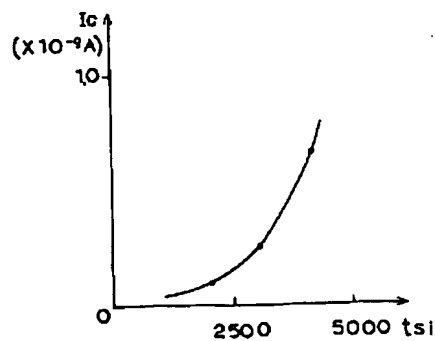
【図4】



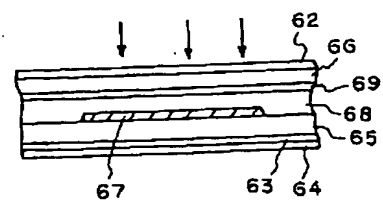
【図5】



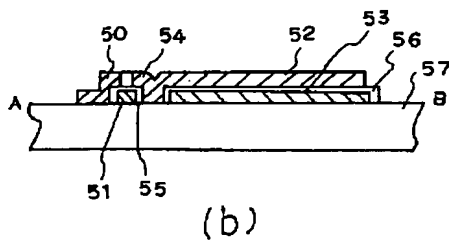
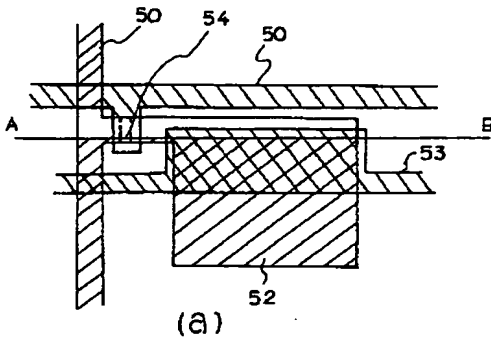
【図7】



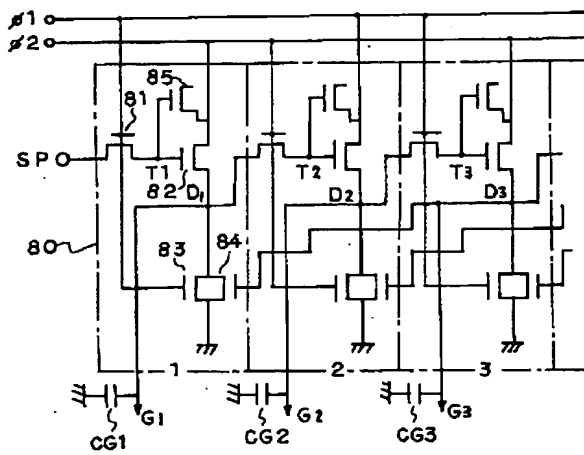
【図10】



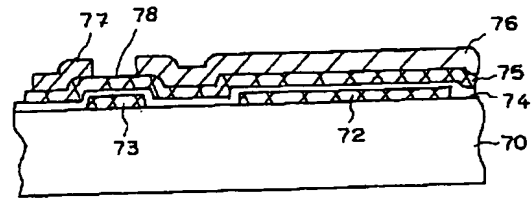
【図 8】



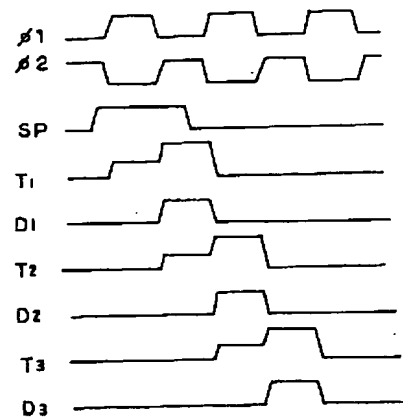
【図 11】



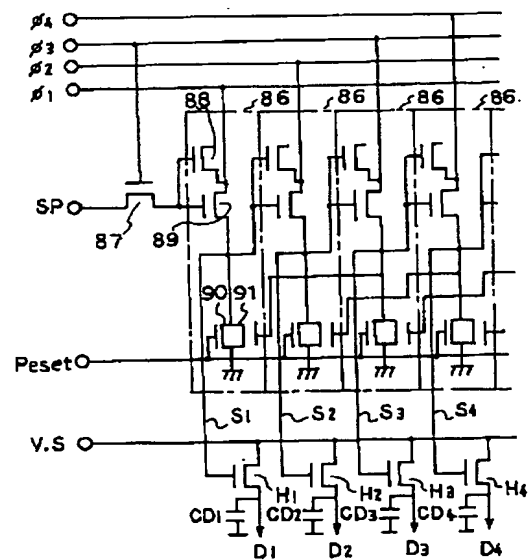
【図 9】



【図 12】



【図 13】



【图 15】

